

HDL によるハードウェア設計 レポート課題

[課題]

レポート課題 1 から 4 はすべて必須課題である。ソースコードなどの参考資料は、講義資料 WEB サイト (CED) を参照すること。

レポート課題 1 : 組み合わせ回路の実装・テスト

積和演算回路を Verilog-HDL で実装・テストする。

◆ 機能仕様

入力: FPGA ボード上のスライドスイッチ(SW)の、SW15~8 を入力 A[7:0]、SW7~0 を入力 B[7:0]とする。

出力: A と B を乗算し、本年度の数値 (10 進数の 2026) を加算した値を S (Sum の略)とし、FPGA ボード上の LED (LD15~LD0) に S[15:0]の値を出力する。

◆ 実装仕様

- ・加算器・乗算器は Verilog-HDL の加算演算子・乗算演算子を使って記述する。

◆ 検証仕様

以下の(1)と(2)の 2 つの方法で検証を行うこと。

(1)FPGA ボードを用いて検証を行う。以下の入力値の組合せに対する出力値を記録し、期待値と一致するかを確認する。結果は表 1 の動作検証表に OK か NG かで示す。

表 1 レポート課題 1 の動作検証表の例

テスト 番号	入力		出力期待値		出力値	結果
	A[7:0]	B[7:0]	10 進数	S[15:0]	S[15:0]	
1	0	0	2026	16'b0000011111101010		
2	1	0	2026	16'b0000011111101010		
3	0	1	2026	16'b0000011111101010		
4	1	1	2027			
5	2	3	2032			
6	100	100				
7	250	250				
8	255	255				

(2) 自分の学籍番号をテスト入力値に設定し、出力値 (LED 状態) を、カメラで撮影してレポートに画像として貼る。撮影の際、加算器への入力値は、自分の学籍番号の下二桁の数字を入力 A、入力 B を 100 とし、LED の出力が期待値と同じになることを示す。

例) 学籍番号 : 202599 入力 A = 99、入力 B = 100 出力期待値 $S = 99 * 100 + 2026 = 11926 = 16'b0010111010010110$ (10 進数の 11926 を 16bit の 2 進数で表した場合)

レポート課題 2 : ステートマシンの実装・テスト

自分の学籍番号の数字を、順番に 1 秒間に 1 桁ずつ LED に表示する順序回路を Verilog-HDL にて実装・テストする。

◆ 機能仕様

入力： プッシュボタン BTND (start) を押すことで学籍番号の表示を開始する合図とする。プッシュボタン BTNC (reset) を押すと初期状態に戻ることとする。

出力： FPGA ボード上の 4 つの LED に自分の学籍番号を順番に 1 秒間に 1 桁ずつ、4 ビットの 2 進数として表示する。1 秒間の時間は、FPGA ボードの 100MHz クロック信号を 100M 回カウントすることで計測する。

◆ 実装仕様

・状態遷移図 (図 1) および状態遷移表 (表 2) に従った、ステートマシン¹を作成する。

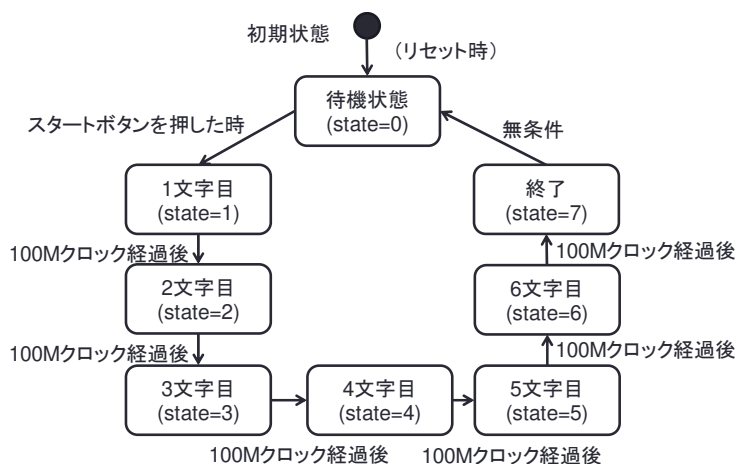


図 1 レポート課題 3 の状態遷移図

表 2 レポート課題 3 の状態遷移表 (学籍番号 : 202599 の場合)

状態 (state)	入力		次状態 (state')	出力	備考
	BTNC (reset)	BTND (start)		LED[3:0]	
X	1	X	0	X	-
0	0	0	0	0	-
	0	1	1	0	-
1	0	X	2	2	100M クロック経過後
2	0	X	3	0	100M クロック経過後
3	0	X	4	2	100M クロック経過後
4	0	X	5	5	100M クロック経過後
5	0	X	6	9	100M クロック経過後
6	0	X	7	9	100M クロック経過後
7	0	X	0	0	-

表中の X は、任意の値を示す (Don't care という)。すなわち 1 行目は任意の状態において BTNC の値が 1 だったら、BTND の値に関わらず状態 0 に遷移することを示す。

¹ カウンタを用いることで、任意の状態遷移を持つ順序回路を構成することができる。回路の制御部となる順序回路をステートマシンと呼ぶ。

◆ 検証仕様

- ・シミュレータを用いて検証を行う。実時間（数秒間＝数千万クロック）のシミュレーション結果を確認するのは時間がかかるので、シミュレータを用いた検証の際は、2クロックに1桁ずつLEDへの出力信号を変化させることとする。
- ・入力値の組合せに対する出力値を記録し、期待値と一致するかを確認する。結果はOKかNGかで示す。検証に用いる表の例を表3に示す。

表 3 レポート課題3の動作検証表の例（学籍番号：202599の場合）

クロック時刻	入力		出力期待値	出力値	結果	
	BTNC (reset)	BTND (start)	LED[3:0]	LED[3:0]	OK/NG	
0	1	0	0			
1	0	0	0			
2			1	0		
3			0	2		
4			2			
5			0			
6			0			
7			2			
8			2			
9			5			
10			5			
11			9			
12			9			
13			9			
14			9			
15			0			
16			0			

- ・信号の値は、シミュレーション波形の画面キャプチャをレポートに貼り付けること。

レポート課題 3: モジュールを利用した実装・テスト

分周回路、カウンタ回路、ステートマシンを組み合わせ、簡易的なスロットマシンのプログラムを作成する。

◆ 機能仕様 (以下はトップモジュールのみ、詳細はスライドを確認すること)

入力: BTNU: リセット、BTND: スタート (3 桁同時に変化開始)、

BTNL: 左桁停止、BTNC: 中桁停止、BTNR: 右桁停止

出力: 7セグメント LED (右 3 桁): 各桁 0-9 の数字を高速に切り替えて表示する。

◆ 実装仕様

分周回路およびカウンタ回路は課題 2 と同様に実装する。また、ステートマシンは 5 状態とし、0.全桁停止状態→1.全桁回転→2.左桁停止→3.中桁停止→4.右桁停止の順に遷移するように実装する。7セグメント LED は Web 資料に掲載したコードを使用して良い。

◆ 検証仕様

シミュレーションおよび FPGA ボード実装を用いて検証を行う。シミュレーション用のテストベンチは Web 資料に掲載してある。シミュレーション結果を載せる際は、右桁停止状態の出力値が自分の学籍番号の下 3 桁と一致するように、各自で信号の変化タイミングを調整すること。

レポート課題 4: 考察課題

本テーマで取り組んだ内容について疑問に思った点を 1 つ挙げ、それを調べた結果を報告する。**必ず参考文献を記載すること。**なお、講義資料およびテキスト冊子は参考文献にならないので注意する。**Web サイトからのコピペは禁止!!**コピペが発覚した場合、レポートは不合格とする。

オプション課題 (任意)

実施は必須ではないが、レポートに記載がある場合は評価の際に加点する。

・オプション課題: スロットマシンゲームの改良

課題 3 で実装したスロットマシンは基本的な機能しか備えていない。例えば、各桁の数字が全て一致している場合、「当たり」と判定してユーザに示す (例: LED を賑やかに変化させる) 機能などを実装する。仕様とコード、実装結果を示すこと。

例 1: 全桁が揃った場合に「当たり」演出をする。

例 2: 2 桁揃った場合に「リーチ」の演出をする。

例 3: 任意の順番で桁を停止できるようにする。

例 4: スイッチで難易度 (回転速度) を切り替えられるようにする。

[補足資料]

補足 1. Verilog-HDL シミュレーションにおいて信号値を出力する方法

レポート作成時、動作の様子を示すためには、画面写真をキャプチャして貼りつけること。信号値の変化をテキストとして表示したい場合、シミュレーションの際に、テストベンチの Verilog のモジュール内に図 2 に示す記述を加えると、信号値の変化をテキストで出力することが出来る。(%b: 2 進数、 %d:10 進数、 %o:8 進数、 %h:16 進数)

```
initial
    $monitor($stime, "in0=%b in1=%b out=%b", in0, in1, out);
```

図 2 シミュレーションにおける信号値を出力するための記述例

補足 2. FPGA のコンパイル結果・リソース使用量・性能を知る方法

FPGA のコンパイル（合成・配置配線）を行った後、Vivado の Design Summary を見ることで、リソース使用量や性能を知ることが出来る。(画面右の Project Summary ウィンドウ内で、下にスクロールするとグラフが現れる)

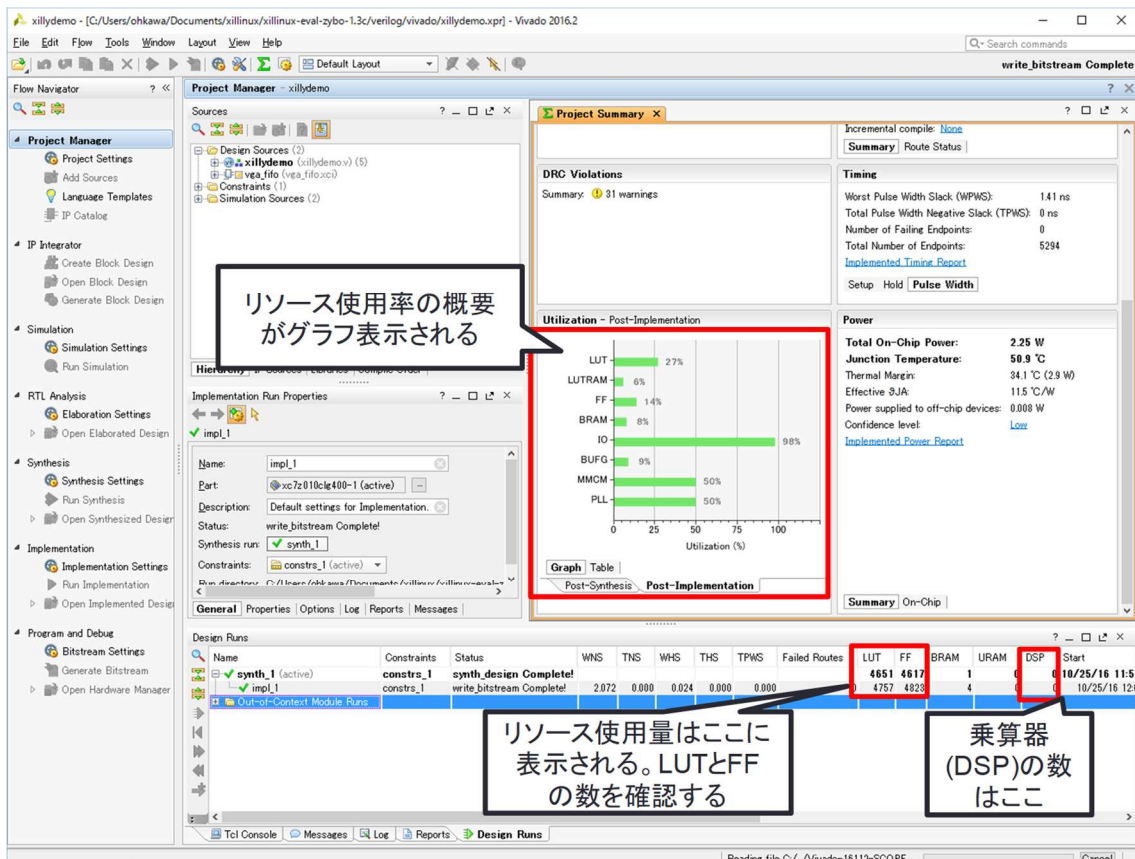


図 3 Vivado の Project Summary の読み方