

メモリアンターフェースの製作

【目的】

計算機をはじめとする多くのデジタル回路に使用されているメモリの動作について理解する。

また、プロセッサの制御回路に類似した回路を設計してメモリの内容を順に読み出す回路を構成することにより、クロック信号に従った同期回路の制御方法、バスの構成方法などを学ぶ。

【課題】

4ビット16語のRAMを用いて、プロセッサとRAMの間でのフェッチを模擬する回路を構成し、RAMに書き込んだデータを読み出して、回路の動作を確認しなさい。

【解説】

・メモリ素子

読み書きが可能なメモリ素子は、大きくダイナミックメモリとスタティックメモリに分けられる。スタティックメモリは、データの値をフリップフロップに保持するが、ダイナミックメモリはコンデンサに電荷として値を蓄える。このため、ダイナミックメモリは構造が簡単であり、大容量のメモリ素子を構成できるが、電荷が放電してしまわないうちに再書き込みを行う必要がある。これをリフレッシュと呼ぶ。ダイナミックメモリを使用する回路では、リフレッシュのための回路も準備する必要がある。本実験では、扱いが容易なスタティックメモリを用いてメモリ回路を構成する。

メモリ素子には、一般に、読み書きする番地を指定するアドレス入力端子、書き込むデータの入力端子、読み出したデータを出力するためのデータ出力端子（書き込むデータの入力端子も兼ねることもある）、読み出しか書き込みかを指定する端子、メモリ素子を動作させるかどうかを指定する端子などで構成される。

・バスとトライステートバッファ

計算機の内部のように、装置を構成する各構成要素の間での信号のやり取りを行う場合、各構成要素のレジスタ間を交互に配線せず、バスを利用して配線の量を減らす工夫をするのが一般的である。

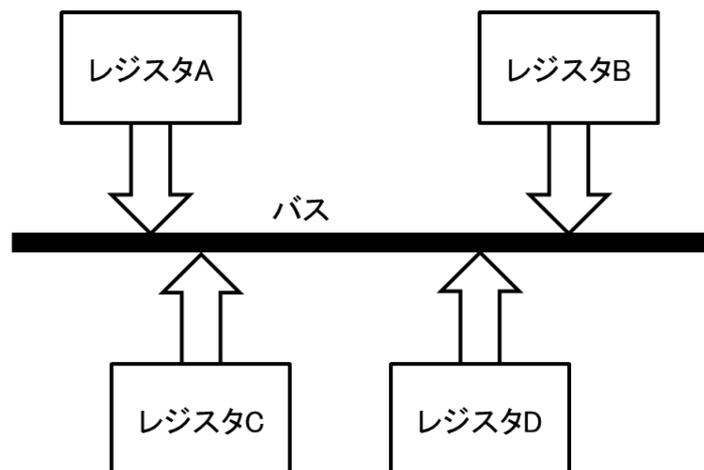


図1. バス

複数の構成要素がバスに信号を出力できる場合、一方がバスに書き込んでいる間、ほかの構成要素は、バスから電氣的に切り離しておかなければならない。このために使用するのが、オープンコレクタ素子またはトライステート（3ステート）素子である。また、一般にバスの信号は多くの構成要素を駆動する必要があるため、バスに信号を書き込む場合にはファンアウトの大きなバッファを使用する。

本実験では、トライステートバッファを使用する。トライステートバッファは、制御入力に与える信号により、高インピーダンス状態にして入力側と出力側に切り離すことができる。



図2. トライステートバッファとその動作

・プロセッサにおける制御

プロセッサは、基本的に命令のフェッチ、デコード、実行を、プログラムカウンタを増加させながら繰り返す。プロセッサの制御回路では、これらの動作に従い、さらに、デコードした命令に応じて、クロック信号から各トライステートを制御するためや、レジスタにデータをロードするための制御信号（タイミング信号）を生成する。

制御信号を生成するには、クロックをカウンタ回路に入力し、多相のクロックを生成したり、カウンタのそれぞれのフリップフロップの出力を組み合わせる使用することが多い。

【実験概要】

以下のようなプログラムカウンタ PC と命令レジスタ IR からなる 4 ビットのプロセッサを考える。

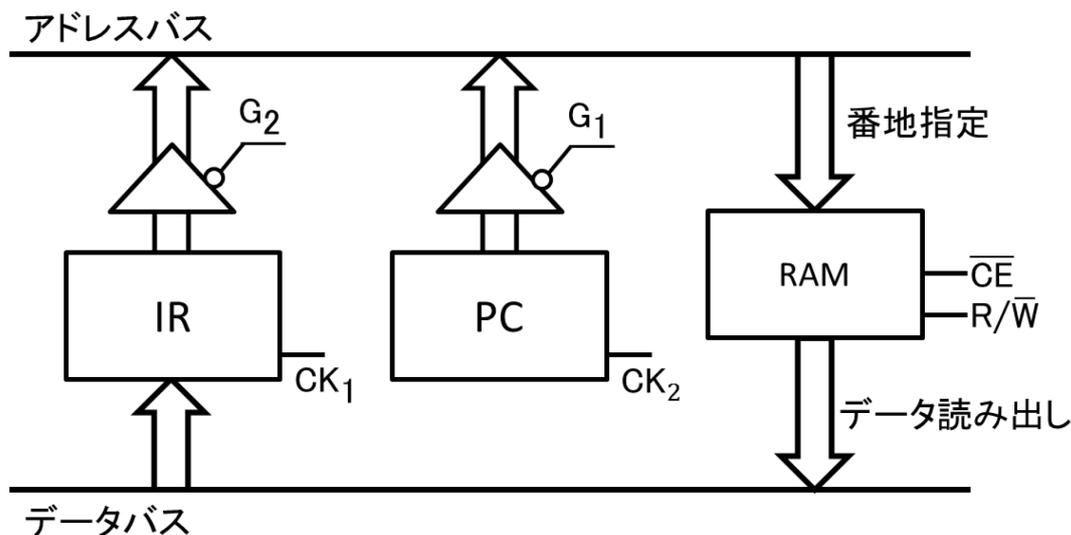


図3. プロセッサの概略

このプロセッサの1サイクルを、下記のように4クロックで動作させることを考える。

1. PCの指すメモリ番地をRAMに指定し、データバスに命令を読み出す。
2. データバスに読み出した命令をIRに格納する。
3. IRの指すメモリ番地をRAMに指定し、データバスにデータを読み出す。
4. PCを1増加させ、1.に戻る。

それぞれのICとして、RAMには74189、PCには74161、トライステートバッファ(G₁)には74541、IR(G₂含む)にはトライステートDフリップフロップである74574を用いると、以下のように動作するタイミングパルスを生成すればよい。

1. G₂の制御ピンをH(ゲートを閉じる)、G₁の制御ピンをL(ゲートを開く)にすることで、RAMに番地を指定し、指定番地の内容をデータバスに読み出す。
2. IRのCK₁に立ち上がり信号を入れ、データバスの内容をIRに格納する。
3. G₁の制御ピンをH(ゲートを閉じる)、G₂の制御ピンをL(ゲートを開く)にすることで、IRに格納している番地をRAMに指定し、内容をデータバスに読み出す。
4. CK₂に立ち上がり信号を入れ、PCをカウントアップする。

実験1. プログラムカウンタ部とメモリ部の作製(1日目)

RAM(74189)、PC(74161)、トライステートバッファ(74541)を用いて回路を設計・実装し、RAMの0番地から15番地までのデータを先頭から順にデータバスに出力できることを確認しなさい。

実験2. レジスタ部の作製(2日目)

IRおよびG₂(74574)を追加した回路を設計・実装し、手動スイッチによる制御で、IRへのフェッチ(番地の読み込み)が行え、かつその番地のデータをデータバスに出力できることを確認しなさい。

実験3. 制御回路部の作製(3日目)

JK-FF(7476)を用いた2ビットジョンソンカウンタを追加した回路を設計・実装し、クロック信号による制御で、IRへのフェッチ(番地の読み込み)が行え、かつその番地のデータをデータバスに出力できることを確認しなさい。

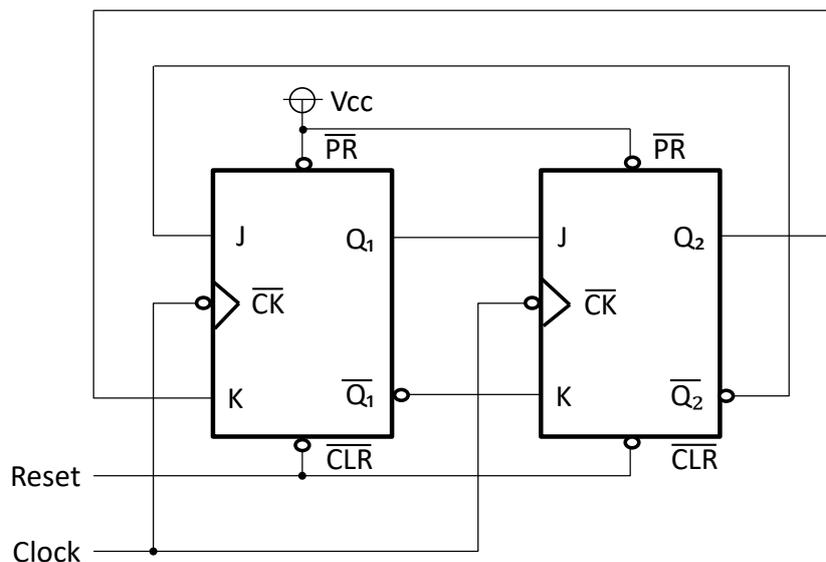


図4. JK-FFを使用した2ビット・ジョンソンカウンタ