

資料1 メモリインターフェースの製作実験手順書

実験1. プログラムカウンタ部とメモリ部の作製(1日目)

RAM (74189), PC (74161), トライステートバッファ (74541) を用いて回路を設計・実装し, RAM の 0 番地から 15 番地までのデータを先頭から順にデータバスに出力できることを確認しなさい。

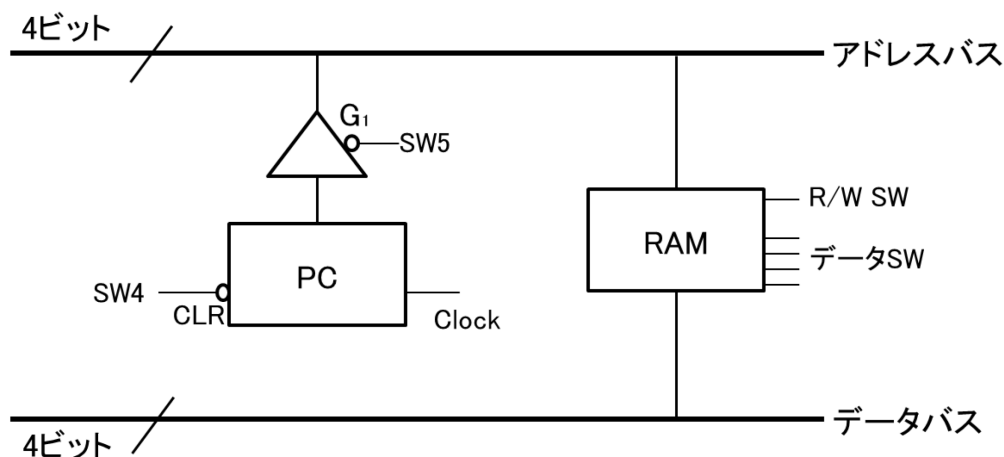


図1. 実験1の概要

ただし, 下記のピンは実験補助装置の手動スイッチにより制御する。また, アドレスバスおよびデータバスの電圧状態は, それぞれ実験補助装置の4つのLEDの点灯状態で確認できるものとする。(資料2 メモリインターフェース実験補助装置 説明書を参照)

表1. 実験1で使用する手動スイッチ

IC	IC ピン番号	手動スイッチ名	補助装置ピン番号
RAM (74189)	3	R/W SW	6
	4, 6, 10, 12	データ SW 0, 1, 2, 3	10, 9, 8, 7
PC (74161)	1	SW 4	4
	2	Clock	2
3 状態バッファ(74541)	1, 19	SW 5	3

動作確認手順

- 1 電源投入準備
 - 1.1 SW 5をH(ゲート閉), SW 4をH, Auto/Manual ClockをManualにした状態で電源を入れ, アドレスLEDが全点灯することを確認する
- 2 Clockの立ち上がりごとにPCがカウントアップすることを確認する
 - 2.1 SW5をL(ゲート開), SW 4をH→L(Reset)→Hにする: アドレスLED全消灯
 - 2.2 ClockをH→L→Hにする: アドレスLEDが1増加する
 - 2.3 2.2を15番地まで繰り返す: アドレスLEDが'0000'から'1111'まで順に点灯
- 3 RAMの0番地から15番地にデータを書き込む
 - 3.1 SW5をL(ゲート開), SW 4をH→L(Reset)→Hにする: アドレスLED全消灯
 - 3.2 データSW 0~3を, 書き込むデータに設定する(書き込むデータは表2を参照)
 - 3.3 R/W SWをH→L(writeモード)→Hにし, データSW 0~3の設定値をRAMに書き込む
 - 3.4 ClockをH→L→Hにし, アドレスを1増加させる

- 3.5 3.2 から 3.4 を 15 番地まで繰り返す
- 4 (手順 3 から続けて行うこと) RAM の 0 番地から 15 番地のデータを読み込む
- 4.1 SW5 を L (ゲート開), SW 4 を H→L (Reset) →H にする: アドレス LED 全消灯
- 4.2 手順 2.2 を 15 番地まで繰り返すことで, アドレス LED が 1 ずつ増加するとともに, データ LED が設定したデータ列になっていることを確認する

表 2. 実験 1 で RAM に設定する値

番地	設定値		番地	設定値
0000	1111		1000	0111
0001	1110		1001	0110
0010	1101		1010	0101
0011	1100		1011	0100
0100	1011		1100	0011
0101	1010		1101	0010
0110	1001		1110	0001
0111	1000		1111	0000

実験 2. レジスタ部の作製 (2 日目)

IR および G₂ (74574) を追加した回路を設計・実装し, 手動スイッチによる制御で, IR へのフェッチ (読み出し対象番地の読み込み) が行え, かつその番地のデータをデータバスに出力できることを確認しなさい。

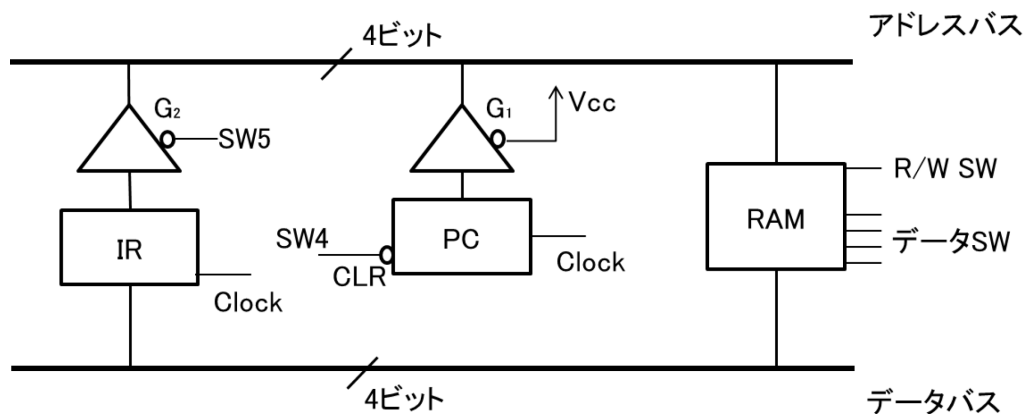


図 2. 実験 2 の概要

ただし, 下記のピンは実験補助装置の手動スイッチにより制御する。

表 3. 実験 2 で使用する手動スイッチ

IC	IC ピン番号	手動スイッチ名	補助装置ピン番号
RAM (74189)	3	R/W SW	6
	4, 6, 10, 12	データ SW 0, 1, 2, 3	10, 9, 8, 7
PC (74161)	1	SW 4	4
	2	Clock	2
3 状態バッファ (74541)	1, 19	Vcc に接続	
3 状態 D-FF (74574)	1	SW 5	3
	11	Clock	2

動作確認手順

- 1 電源投入準備
 - 1.1 SW 5 を H (ゲート閉), SW 4 を H, Auto/Manual Clock を Manual にした状態で電源を入れ, アドレス LED が全点灯することを確認する
- 2 RAM にデータを書き込む
 - 2.1 G₁ の制御ピンの接続先を Vcc から GND に変更する (ゲート開)
 - 2.2 **SW 5 を H (ゲート閉) にしたまま実験 1 の手順 3, 4 を行い, 0 番地から 15 番地までデータを書き込む. (書き込むデータは表 4 を参照)**
- 3 (手順 2 から続けて行うこと) IR を用いて RAM 内の命令をフェッチする
 - 3.1 G₁ の制御ピンの接続先を GND から Vcc に変更する (ゲート閉)
 - 3.2 SW 5 を L (ゲート開) にする: アドレス LED が直前のデータ LED の状態になる
 - 3.3 Clock を H→L→H にするごとに, 以前のデータバスの状態がアドレスバスに出力されることを確認する

表 4. 実験 2 で RAM に設定する値

番地	設定値		番地	設定値
0000	0001		1000	1001
0001	0010		1001	1010
0010	0011		1010	1011
0011	0100		1011	1100
0100	0101		1100	1101
0101	0110		1101	1110
0110	0111		1110	1111
0111	1000		1111	0000

実験 3. 制御回路部の作製 (3 日目)

JK-FF (7476) を用いた 2 ビットジョンソンカウンタを追加した回路を設計・実装し, クロック信号による制御で, IR へのフェッチ (読み出し対象番地の読み込み) が行え, かつその番地のデータをデータバスに出力できることを確認しなさい。

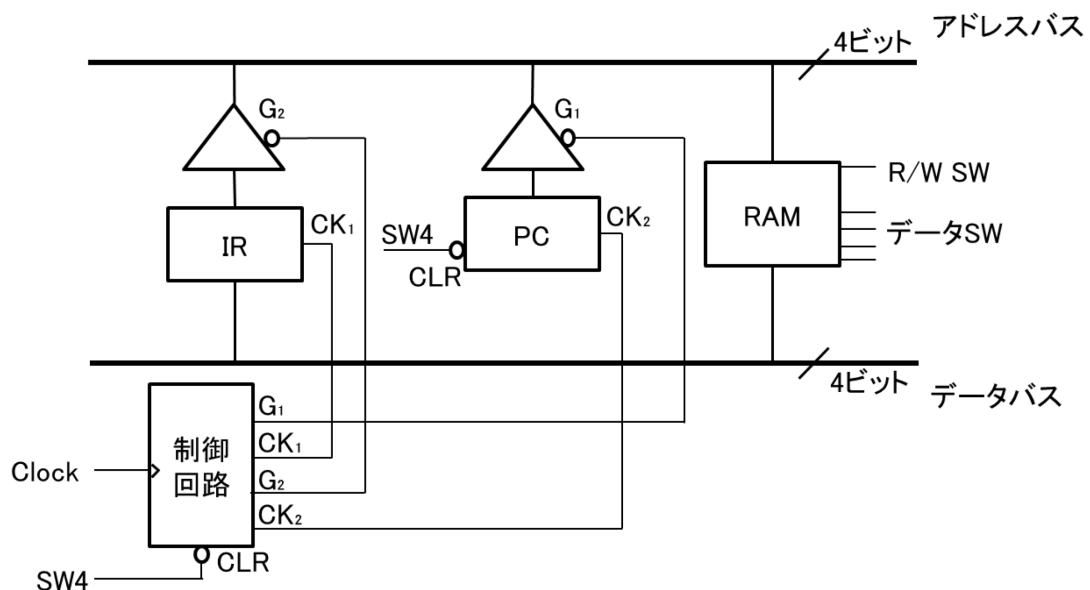


図 3. 実験 3 の概要

ただし、下記のピンは実験補助装置の手動スイッチにより制御する。また、アドレスバスおよびデータバスの電圧状態は、それぞれ実験補助装置の4つのLEDの点灯状態で確認できるものとする。

表 5. 実験 3 で使用する手動スイッチ

IC	IC ピン番号	手動スイッチ名	補助装置ピン番号
RAM (74189)	3	R/W SW	6
	4, 6, 10, 12	データ SW 0, 1, 2, 3	10, 9, 8, 7
PC (74161)	1	SW 4	4
JK-FF (7476)	1, 6	Clock	2
	3, 8	SW 4	4

回路設計時の手順

- 1 実験概要 (p. 2~3) の4クロックサイクルの処理を参考にし、下記のタイミングチャートを作成する。(ただし、 Q_1 , Q_2 はそれぞれ2ビットジョンソンカウンタの一段目と二段目の出力とする。)

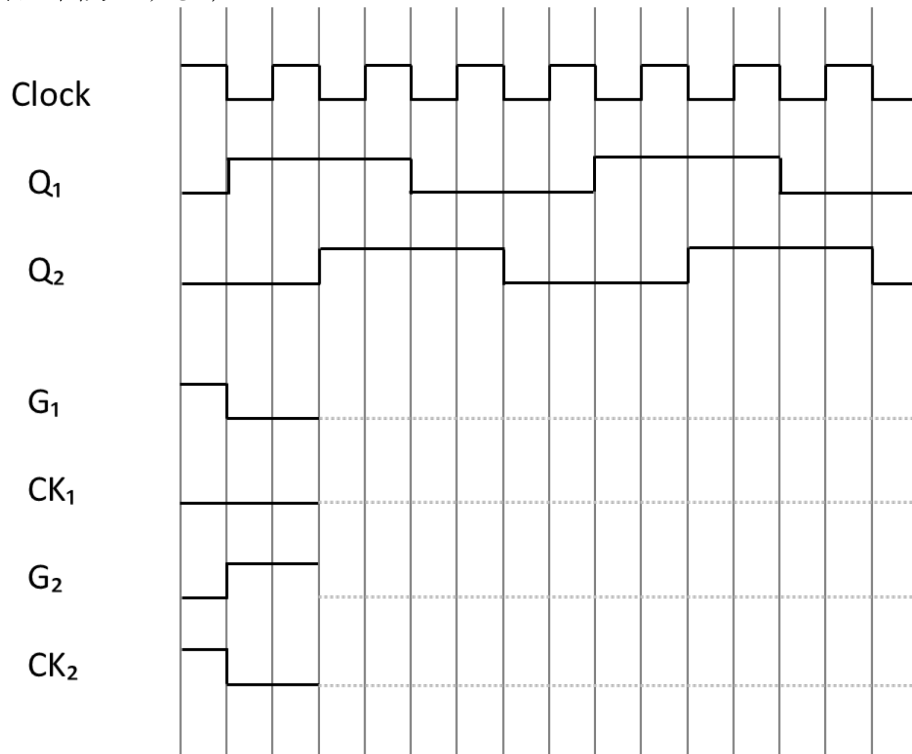


図 4. 実験 3 の制御回路におけるタイミングチャート

- 2 タイミングチャートを参考にし、 G_1 , CK_1 , G_2 , CK_2 の論理式を Q_1 , Q_2 を用いて表す(ただし、使用できる論理演算子は NOT と AND に限定する。)

$$G_1 = \quad (1)$$

$$CK_1 = \quad (2)$$

$$G_2 = \quad (3)$$

$$CK_2 = \quad (4)$$

- 3 上記を参考にして、2ビットジョンソンカウンタの信号を利用した制御回路を作成する

動作確認手順

- 1 電源投入準備
 - 1.1 SW 4 を H, Auto/Manual Clock を Manual にした状態で電源を入れる（アドレス LED の点灯状態は不定）
- 2 RAM にデータを書き込む
 - 2.1 SW 4 を H→L (Reset) →H にする（アドレス LED の点灯状態は不定）
 - 2.2 Clock を H→L→H にする（アドレス LED '0000'）
 - 2.3 データ SW 0～3 を、書き込むデータに設定する（書き込むデータは表 6 を参照）
 - 2.4 R/W SW を H→L (write モード) →H にし、データ SW0～3 の設定値を RAM に書き込む
 - 2.5 Clock を H→L→H にする作業を 4 回繰り返し、アドレスを 1 増加させる
 - 2.6 2.3 から 2.5 を繰り返し、0 番地から 15 番地までデータを書き込む。
- 3 （手順 2 から続けて行うこと）IR へのフェッチおよびデータバスへの読み出しを確認する
 - 3.1 SW 4 を H→L (Reset) →H にする（アドレス LED は不定）
 - 3.2 Clock を H→L→H にするごとに、以下の動作を模擬できていることを確認する
 - 3.2.1 PC の指すメモリ番地を RAM に指定し、データバスに命令を読み出す。（LED 確認）
 - 3.2.2 データバスに読み出した命令を IR に格納する。
 - 3.2.3 IR の指すメモリ番地を RAM に指定し、データバスにデータを読み出す。（LED 確認）
 - 3.2.4 PC を 1 増加させ、1. に戻る。

表 6. 実験 3 で RAM に設定する値

番地	設定値		番地	設定値
0000	1000		1000	学籍番号の 1 桁目
0001	1001		1001	学籍番号の 2 桁目
0010	1010		1010	学籍番号の 3 桁目
0011	1011		1011	学籍番号の 4 桁目
0100	1100		1100	学籍番号の 5 桁目
0101	1101		1101	学籍番号の 6 桁目
0110	1110		1110	0000
0111	1111		1111	0000

※表 6. の補足

本実験で模擬したプロセッサは、暗黙的な LOAD 命令のみを行うプロセッサとなっている。実験 3 で IR にフェッチされる命令は、次に読み出すデータの番地情報しか含まれておらず、LOAD や ADD などの命令コードは考慮していない。そこで、0000 から 0111 番地を擬似的な命令コード（プログラム）領域、1000 から 1111 番地は擬似的なデータ領域と想定し、0000 から 0111 番地には、データ領域の番地を設定している。

実験 3 では、各サイクルの 3 または 4clock 目のデータバス LED の状態を目視で読み取り、RAM に記録させた学籍番号が 6 サイクル目までで読み取れることが目標となる。

また、プロセッサの模擬動作としては意味をなさないが、8 サイクル以後も動作確認をすることは可能である。