# Silos Verilog Simulator の使い方

#### 1. シミュレータの起動

メニューから下記のように Silos を起動すると以下のようなウィンドウが開く。 S.EDA Tools → Silos

※MS-DOSのメニューが開いたら、閉じないで最小化しておく。

SILOS - Project ¥¥fs2¥vol1¥home¥teachers¥itohst¥ISlab2¥kadal4¥ripple.spj	
ファイル(E) 編集(E) 表示(Y) アナライザ(A) デバッグ(D) エクスプローラ(X) レポート(B) ヘルプ(H)	
📫 🗋 🥎 🗄 📴 💀 🕼 🕨 🖄 🔽 🕄 💭 📲 🔛 🐼 🐼 🕀 🔍 🔍 🔍 🔍 🔍 🕼 🐼 🕅 🔁	
① 出力のグ	×
Time SILOS 4.10.91 ©	SILVACO 2011

## 2. プロジェクトの作成

先ず初めに、プロジェクトを作成する。

プロジェクトの作成は、メニューのファイル(F)から新規プロジェクトを選択する。以下のウィンドウが開くので、ファイル名を入力する。

(例では、test というファイル名になっている)

保存場所は自分のフォルダ(zドライブの下)に変更しておくこと。

Cドライブなどになっている場合、ファイルの保存が出来ずに何も出来なくなることがある。

また、フォルダ名に日本語が含まれている場合、操作不能の状態になることがあるので、出来れば半角英数文字のみの名前にした方がよい。

(過去の例では、ギリシャ数字(「II」など)を使うと高い確率でおかしくなる ことが分かっている)

🔄 新規プロジェクトを	作成		<b>×</b>
<b>€</b> • <b>↓</b> « ₹	イドキュメント 🖡 ISlab2 🖡 kadai1 🛛 👻 4	kadai1の検索	٩
整理 ▼ 新しいこ	オルダー	8	• 0
	▲ 名前 <sup>▲</sup>	更新日時	種類
ライブラリ ドキュメント	test.spj	2011/04/27 14:50	SPJ ファイル
■ ピクチャ			
🔣 ビデオ			
👌 ミュージック	=		
見 コンピューター			
📬 ネットワーク			
	✓ (		Þ
ファイル名(N):	test.spj		-
ファイルの種類(T):	プロジェクト・ファイル(*.spj)		•
<ul> <li>フォルダーの非表</li> </ul>	⊼	保存(S) :	キャンセル

### 3. ソースファイルの作成&登録

次に、Verilog ソースファイルを登録する。 まだソースがない場合はそのまま OK を選択する。 (例では、gate.v, gate\_sim.vの2つのファイルを登録している)

ソースファイルは後で追加登録することもできる。 (メニューから **編集-> プロジェクトのプロパティ**を選択する)

プロジェクトのプロパティ		
□-プロジェクト □-ソース・ファイル	ソース・ファイル	
ライブラリ・ファイル ライブラリ・ディレクトリ インクルード・ディレクトリ PLIライブラリ・ファイル	gate.v gate_sim.v	追加
		肖邶余
	ーリントオブション ーその他の設定	上に移動
ージミュレージョン・ナータ・ファイル ーPlus Args		下に移動
レアナライザ設定		
	ОК	キャンセル 適用( <u>A)</u>

# 4. シミュレーション開始

メニューから **デバッグ-> 実行**を選択する。 もしエラーで止まったならば、ソースの誤りの修正を行なう。

SILOS - Project ¥¥fs2¥vol1¥home¥teachers¥itohst¥ISlab2¥kadai1¥tst.spj	
ファイル(E) 編集(E) 表示(Y) アナライザ(A) デバッグ(D) エクスプローラ(X) レポート(R) ヘルプ(H)	
①、①、①、②、②、② <1 法形实化を3.4ッン ■ 1> 2> T1 T2 ○□ □ □	
P 出力ログ	×
<pre>!control .savcell=1</pre>	- C
!control .disk=1000M	
Reading "gate.v"	
Reading "gate sim.v"	
Highest level modules (that have been auto-instantiated):	
gate_tp	
3 total devices.	
Linking	
9 nets total: 40 saved and 0 monitored.	
67 registers total: 67 saved.	
Done.	
0 in0=0 in1=0 in2=0 not=1 and2=0 or3=0 xor2=0 nand3=1	
0 State changes on observable nets.	
Simulation stopped at the end of time 0.000us.	
100 in0=1 in1=0 in2=0 not=0 and2=0 or3=1 xor2=1 nand3=1	
200 in0=0 in1=1 in2=0 not=1 and2=0 or3=1 xor2=1 nand3=1	
300 in0=1 in1=1 in2=0 not=0 and2=1 or3=1 xor2=0 nand3=1	E
400 in0=0 in1=0 in2=1 not=1 and2=0 or3=1 xor2=0 nand3=1	
500 in0=1 in1=0 in2=1 not=0 and2=0 or3=1 xor2=1 nand3=1	
600 in0=0 in1=1 in2=1 not=1 and2=0 or3=1 xor2=1 nand3=1	
700 in0=1 in1=1 in2=1 not=0 and2=1 or3=1 xor2=0 nand3=0	
<pre>\$finish in file "\\fs2\voll\home\teachers\itohst\ISlab2\kadai1\gate_sim.v" at line 30</pre>	
38 State changes on observable nets in 0.01 cpu seconds.	
3800 Events/second.	
Simulation stopped at the end of time 0.800us.	-
الله (۵) (۵)	

#### 5. 結果の波形表示

シミュレーション結果を波形表示する。 メニューの 表示-> エクスプローラを選択する。 モジュールとファイルのウィンドウが左側に開く。 さらにメニューから 表示-> アナライザを選択する。 エクスプローラウィンドウの右側に信号の名前が表示されているので、 波形表示した い信号を選択して、アナライザウィンドウの左枠に ドラッグ&ドロップする。

#### 6. その他

プロジェクトは各課題毎に新規に作り直すこと。 プロジェクトは、どのソースコードを使ってシミュレーションを行なうか、ど ういう信号 線を波形表示して観測するのか、などといった情報を覚えているた め、1 つのプロジ ェクトを使い回す場合はその都度設定し直す必要が出て来る ため、間違いを起こし やすい。